

V

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-185034  
 (43)Date of publication of application : 06.07.2001

(51)Int.Cl.

H01J 11/00  
 G09F 9/313  
 G09G 3/20  
 G09G 3/28  
 H01J 11/02

(21)Application number : 2000-331084

(71)Applicant : LG ELECTRONICS INC

(22)Date of filing : 30.10.2000

(72)Inventor : JIN YON KIM  
SON HOO KAN

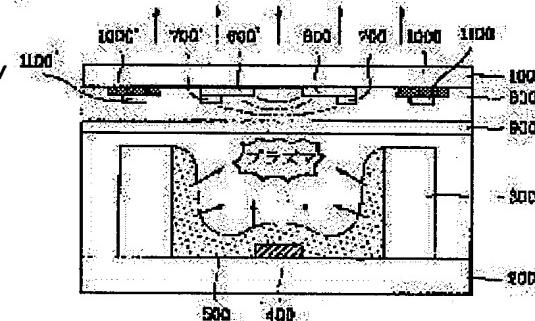
(30)Priority

Priority number : 1999 9947167 Priority date : 28.10.1999 Priority country : KR

**(54) STRUCTURE OF PLASMA DISPLAY PANEL AND METHOD OF DRIVING THE SAME****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To manufacture a plasma display panel of high resolution that enables to reduce a width of address pulses by increasing the quantity of priming particles in a discharge cell and reducing the discharge delay phenomenon of an address discharge.

**SOLUTION:** This plasma display panel comprises a plurality pairs of hold electrodes being continuously formed on a substrate, a plurality of common electrodes of which one to a hold electrode pair is formed therebetween, and a dielectric layer being formed on the substrate to coat the hold electrodes and the common electrodes, and also the plasma display panel is formed by steps of applying common pulses that are turned on/off periodically to the common electrodes, applying scan pulses to any one of a pair of hole electrodes, and applying address pulses to address electrodes when the scan pulses applied to any one of a pair of electrodes, wherein since there is improved discharge condition within the discharge cell, the discharge delay can be reduced in comparison with a prior art.

**LEGAL STATUS**

[Date of request for examination] 30.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3523180

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-185034  
(P2001-185034A)

(43)公開日 平成13年7月6日(2001.7.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコト <sup>*</sup> (参考)
H 01 J 11/00		H 01 J 11/00	K
G 09 F 9/313		G 09 F 9/313	Z
G 09 G 3/20	6 2 4	G 09 G 3/20	6 2 4 N
	6 8 0		6 8 0 H
	3/28	H 01 J 11/02	B
		審査請求 有 請求項の数14 O L (全 8 頁)	最終頁に続く

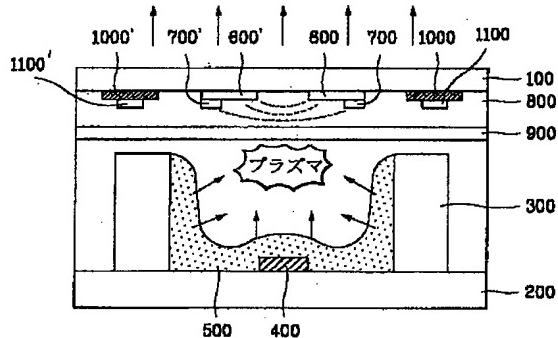
(21)出願番号	特願2000-331084(P2000-331084)	(71)出願人	590001669 エルジー電子株式会社 大韓民国、ソウル特別市永登浦区汝矣島洞 20
(22)出願日	平成12年10月30日(2000.10.30)	(72)発明者	ジン・ヨン・キム 大韓民国・テグーシ・ソーク・チュンリー ドン・26-1・チュンリ アパートメン ト・38-106
(31)優先権主張番号	1999-47167	(72)発明者	ソン・ホー・カン 大韓民国・テグーシ・ブクーク・テジョン ードン・442・ウーバン 3チャ・105- 903
(32)優先日	平成11年10月28日(1999.10.28)	(74)代理人	100064621 弁理士 山川 政樹
(33)優先権主張国	韓国(KR)		

(54)【発明の名称】 プラズマディスプレイパネルの構造並びにその駆動方法

(57)【要約】

【課題】 放電セル内にプライミングパーティーケルの分量を増加させ、アドレス放電の放電遅れ現象を減らすことにより、アドレスパルスの幅を減らし、高解像度のプラズマディスプレイパネルを製造する。

【解決手段】 本発明のプラズマディスプレイパネルは基板上に連続して形成された複数対の維持電極と、一対の維持電極の間ごとに1つずつ形成された複数個の共通電極と、そして、維持電極と共通電極を塗布するように前記基板上に形成された誘電体層とから構成され、共通電極に周期的にオン／オフされる共通パルスを印加する段階と、一対の維持電極のうち何れか一つにスキャンパルスを印加する段階と、そして、スキャンパルスが一つの維持電極に印加されるとき、アドレス電極にアドレスパルスを印加する段階とを備えて成るものであって、放電セル内の放電条件が向上するので、従来のプラズマディスプレイパネルより放電遅れが少なくなる効果がある。



### 【特許請求の範囲】

【請求項 1】 基板上に連続して形成された複数対のサステイン電極と、

該一対のサステイン電極の間ごとに 1 つずつ形成された複数の共通電極と、

前記サステイン電極と共通電極を覆うように前記基板上に形成された誘電体層とを含むことを特徴とするプラズマディスプレイパネルの構造。

【請求項 2】 前記複数の共通電極は共通に連結されることを特徴とする請求項 1 記載のプラズマディスプレイパネルの構造。

【請求項 3】 前記共通電極はクロム (Cr)、銅 (Cu) 及びクロム (Cr) が前記基板上に積層されて形成されたことを特徴とする請求項 1 記載のプラズマディスプレイパネルの構造。

【請求項 4】 前記共通電極は銀 (Ag) から成ることを特徴とする請求項 1 記載のプラズマディスプレイパネルの構造。

【請求項 5】 前記誘電体層の厚さは  $10 \mu\text{m} \sim 30 \mu\text{m}$  であることを特徴とする請求項 1 記載のプラズマディスプレイパネルの構造。

【請求項 6】 前記基板と前記共通電極との間に形成されたブラックマトリクスを更に含んでいることを特徴とする請求項 1 記載のプラズマディスプレイパネルの構造。

【請求項 7】 基板上に一対ずつ連続して形成された複数対のサステイン電極と、該一対のサステイン電極の間ごとに形成された共通電極と、そして、前記サステイン電極に直交するように形成されたアドレス電極とを含むプラズマディスプレイパネルを駆動する駆動方法において、

前記共通電極に周期的にオン／オフされる共通パルスを印加する段階と、

前記一対のサステイン電極のうち何れか一つにスキャンパルスを印加する段階と、

前記スキャンパルスが前記一つのサステイン電極に印加されるとき、前記アドレス電極にアドレスパルスを印加する段階とを備えることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 8】 前記共通パルスのオン／オフ区間の電位差は前記プラズマディスプレイパネルの放電開始電圧より低いことを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】 前記電位差は  $270 \text{ V}$  以下であることを特徴とする請求項 8 記載のプラズマディスプレイパネルの駆動方法。

【請求項 10】 前記共通パルスのオン区間のパルス幅は  $1 \mu\text{s}$  以下であることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 11】 前記スキャンパルスとアドレスパルス

間の最大の電位差は前記プラズマディスプレイパネルの放電開始電圧以上であることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 12】 前記スキャンパルスとアドレスパルス間の最大の電位差は  $280 \text{ V}$  以上であることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 13】 前記共通パルスのオフ時点と前記スキャンパルスのオン時点との間の時間差は  $500 \text{ n s}$  以下であることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

【請求項 14】 前記共通パルスのオフ時点と前記アドレスパルスのオン時点との間の時間差は  $500 \text{ n s}$  以下であることを特徴とする請求項 7 記載のプラズマディスプレイパネルの駆動方法。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネルに係り、特に、プラズマディスプレイパネルの駆動方法とその構造に関する。

#### 【0002】

【従来の技術】一般に、プラズマディスプレイパネルは陰極線管 (CRT) より鮮明な画質や多様な画面の大きさ、及び薄くて軽いという長所を全て有しており、次世代表示装置として脚光を浴びている。プラズマディスプレイパネルは同一の画面サイズの陰極線管に比べ  $1/3$  程度と軽く、 $40 \sim 60$  インチの大型パネルであっても  $10 \text{ cm}$  以下に薄く製作できるという特徴がある。

【0003】また、陰極線管や液晶表示装置の大きさはデジタルデータとフル動画像を同時に表現する際の制限となるが、プラズマディスプレイパネルはこのような問題が発生しない。また、陰極線管は磁気力の影響を受ける問題があるが、プラズマディスプレイパネルは磁気力に影響を受けず、視聴者は安定した映像を見ることができる。しかも、各画素がデジタル的に調節されるから、画面の隅の映像が歪まないなど、陰極線管より優れた画質を提供できる。

【0004】前記プラズマディスプレイパネルは電極が被覆された二つのガラス基板でガスを密閉した構造を有している。各ガラス基板に形成された電極は互いに垂直方向に対向して配置されており、各電極の交差部が画素となる。

【0005】プラズマディスプレイパネルの代表的なものとして、3 電極面放電方式のプラズマディスプレイパネルを添付図面に基づいて説明する。図 1a に示すように、互いに對向して設けられた上部基板 10 と下部基板 20 とで構成されている。図 1b は図 1a に示すプラズマディスプレイパネルの断面構造を示しており、下部基板 20 を  $90^\circ$  回転した状態で示している。

【0006】上部基板 10 は、互いに並列に形成された

スキャン電極 1 6、1 6'、サステイン電極 1 7、1 7'、これらのスキャン電極 1 6、1 6' とサステイン電極 1 7、1 7' に塗布された誘電層 1 1 および保護膜 1 2 から構成される。また、下部基板 2 0 は、アドレス電極 2 2、そのアドレス電極 2 2 を含む基板全面に形成された誘電体膜 2 1、各アドレス電極 2 2 間の誘電体膜 2 1 上に形成されたバリアー 2 3、各放電セル内のバリアー 2 3 および誘電体膜 2 1 の表面にコートされた蛍光体 2 4 から構成されている。上部基板 1 0 と下部基板 2 0との間はヘリウム (He)、キセノン (Xe) などの不活性混合ガスが 4 0 0 ~ 6 0 0 T o r r 程度の圧力で満たされた放電領域となっている。

【0 0 0 7】通常、直流型プラズマディスプレイパネルの放電空間に満たされる不活性ガスはヘリウム-キセノン (He-Xe) 混合ガスであり、交流型プラズマディスプレイパネルの放電空間にはネオン-キセノン (Ne-Xe) 混合ガスがみたされる。

【0 0 0 8】スキャン電極 1 6、1 6' とサステイン電極 1 7、1 7' は、各放電セルの光透過率を高めるために、図 2 a と図 2 b に示すように、透明電極 1 6、1 7 と金属で形成されたバス電極 1 6'、1 7' により構成されている。

【0 0 0 9】図 2 a はサステイン電極 1 7、1 7' とスキャン電極 1 6、1 6' の平面図であり、図 2 b はサステイン電極 1 7、1 7' とスキャン電極 1 6、1 6' の断面図である。バス電極 1 6'、1 7' は外部に設置された駆動 I C から放電電圧が印加され、透明電極 1 6、1 7 はバス電極 1 6'、1 7' に印加された放電電圧を受け隣接した透明電極 1 6、1 7 間に放電を起こさせる。

【0 0 1 0】透明電極 1 6、1 7 の全体幅は略 3 0 0 μ m 程度であり、酸化インジウムまたは酸化錫からなる。そして、バス電極 1 6'、1 7' はクローム (Cr) - 銅 (Cu) - クローム (Cr) で構成された 3 層の薄膜からなる。金属電極 1 6'、1 7' のライン幅は透明電極 1 6、1 7 のライン幅の略 1 / 3 程度に設定される。

【0 0 1 1】図 3 は、上部基板に配列されたスキャン電極 (S<sub>m</sub>-1, S<sub>m</sub>, S<sub>m</sub>+1 ..., S<sub>n</sub>-1, S<sub>n</sub>, S<sub>n</sub>+1) とサステイン電極 (C<sub>m</sub>-1, C<sub>m</sub>, C<sub>m</sub>+1, ..., C<sub>n</sub>-1, C<sub>n</sub>, C<sub>n</sub>+1) の配線図を示すもので、各々のスキャン電極は相互に絶縁されているが、サステイン電極はすべて並列接続されている。特に、図 3 の点線区画は画像が表示される表示面を示し、他の区画は、画像が表示されない非表示面を示すものである。非表示面に配列されたスキャン電極は、通常ダミー電極 2 6 と称するが、このようなダミー電極 2 6 の数は特に制限されることではない。

【0 0 1 2】上述したように構成された 3 電極面放電方式の交流型プラズマディスプレイパネルの動作は、図 4 a ~ 図 4 d に示す通りである。

【0 0 1 3】まず、アドレス電極とスキャン電極の間に駆動電圧が印加されると、図 4 a のように、アドレス電極とスキャン電極の間に対向放電が起こる。この対向放電により、放電セル内の不活性ガスが瞬時に励起され、その後再び基底状態に遷移してイオンを発生する。そのイオン或いは準励起状態の原子中の一部が図 4 b に示すように保護層の表面に衝突する。このような電子の衝突によって保護層の表面で 2 次的に電子が放出される。

【0 0 1 4】この 2 次的に放出された電子は、プラズマ状態のガスに衝突して連鎖的に放電を起こす。アドレス電極とスキャン電極の間に対向放電が終わると、図 4 c に示すように、各アドレス電極とスキャン電極上の保護層の表面にはそれぞれ反対極性の壁電荷が生成される。

【0 0 1 5】アドレス電極に印加されていた駆動電圧が遮断され、スキャン電極とサステイン電極に極性の反対の放電電圧が持続的に印加されると、図 4 d に示すように、スキャン電極とサステイン電極相互間の電位差によって誘電層と保護層の表面の放電領域で面放電が起こる。

【0 0 1 6】このような対向放電と面放電によって、放電セルの内部に存在する電子は放電セル内部の不活性ガスに衝突する。その結果、放電セルの不活性ガスが励起されつつ、放電セル内に 1 4 7 n m の波長を有する紫外線を放出する。このような紫外線がアドレス電極とバリアーに塗布された蛍光体に衝突して、蛍光体が励起される。励起された蛍光体は可視光線を放出し、このような可視光線によって画面に画像が現れる。

【0 0 1 7】1 つの画素は赤色蛍光体が形成された放電セルと、緑色蛍光体が形成された放電セルおよび青色蛍光体が形成された放電セルとから成る。このようなプラズマディスプレイパネルにより表示される映像の明るさは各放電セルの放電回数により調節される。

【0 0 1 8】プラズマディスプレイパネルは各放電セルに放電を発生させるためにプライミング効果を利用するが、自由電子やイオン、準安定原子などのプライミングパーティクルが必要である。電子は十分な電界を受けると加速される。一定の速度以上に加速された電子が気体原子や準安定気体原子と衝突するとこれらの気体原子や準安定気体原子をイオン化させる。原子がイオン化されると、電子とイオンとに分離され、その分離された電子は再び電界によって加速される。

【0 0 1 9】十分に加速された電子は再び他の気体原子と衝突しイオン化を促進する。イオンは電子と反対の方向に加速され、陰極の保護層 (MgO) と衝突すると 2 次電子を放出し、この 2 次電子が再び電界によって加速され、他の気体原子と衝突する。このように電界により、電子と気体原子との衝突が起り電離した電子の数がますます増加するようになり、かつイオンの保護層の衝突から発生した 2 次電子の数が増加すると、イオン化する気体原子の数が増加し電子やイオンの流れが急激に

増加する。この現象を放電という。

【0020】この場合、電界を付与してから放電に至るまでに、ほぼ数百n sないし数 $\mu$  sの時間がかかる。この現象を放電ラグという。このような放電ラグは統計的遅れと形成的遅れとからなり、形成的遅れは気体の種類、圧力、セル構造あるいは保護層(MgO)の2次電子放出係数などが要因である。放電遅れは統計的遅れに形成的遅れを加えた値となる。放電遅れはプラズマディスプレイパネルを駆動する駆動パルス幅に関係する。

【0021】形成的遅れは一般的に数百n s以内であるが、統計的遅れは数百n sないし数 $\mu$  sである。もし、プライミングパーティクルが十分な濃度で存在すると、統計的遅れは数百n s以内に一定となるが、プライミングパーティクルが十分でないと、3 $\mu$  sないし4 $\mu$  s以上の遅延現象が発生しうる。プライミングパーティクルは放電直後に最も多く発生し、次第に放電空間に拡散したり、再結合、或いは励起された後基底状態に戻ったりしてその数はだいに少なくなる。一般的に、放電が起こった後30 $\mu$  sまでのプライミングパーティクル濃度は次の放電の統計的遅れには影響を与える、30 $\mu$  s以上経過した後のプライミングパーティクル濃度が次の放電の統計的遅れに影響を与える。

【0022】アドレス放電のためにスキャン電極とアドレス電極にパルスを加えると、プライミングパーティクルが十分にある時には、所望の時間(一般的に3 $\mu$  s)以内に放電が完了し、十分な壁電荷が形成される。しかし、従来のプラズマディスプレイパネルにおいてプライミングパーティクルが足りない場合には、所望の時間以内に放電が完了しない場合が生じ、所望の放電セルにアドレス放電を生じない場合ある。このような場合をミスライティングといふ。

【0023】従来のプラズマディスプレイパネルは、プライミング効果を利用するためのプライミングパーティクルの量が不足し放電ラグを一定にできず、ミスライティングの確率が高い欠点があった。そのため、壁電荷を十分に発生させるため、スキャン電極に対するスキャンパルス幅をより大きい一定のレベルに広げなければならず、解像度が高くなるほどサステイン期間が短くなるという問題点が生じていた。

#### 【0024】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためのもので、放電セル内にプライミングパーティクルの分量を増加させることにより、アドレス放電の放電ラグ現象を減らしてアドレスパルスの幅を減らし、高解像度のプラズマディスプレイパネルを製造することをその目的とする。

#### 【0025】

【課題を解決するための手段】上記目的を達成するため、本発明は上部基板100上に形成された複数対のサステイン電極と、一対のサステイン電極の間に1つずつ

形成された複数個の共通電極と、サステイン電極と共通電極を塗布するように形成された誘電体層とから構成され、各共通電極に同一のパルス電圧を印加することを特徴とする。

#### 【0026】

【発明の実施の形態】本発明によるプラズマディスプレイパネルは、図5に示すように、サステイン電極と、各サステイン電極の間に形成された共通電極とを含んで構成されている。そして、誘電体層800がサステイン電極と共通電極1100、1100'を覆うように上部基板100の全面に形成されており、略10 $\mu$ m～45 $\mu$ mの範囲で蒸着されている。次いで、誘電体層800上に酸化マグネシウム(MgO)のような材料からなる保護膜900が形成されている。

【0027】図6aのように、サステイン電極は、サステイン放電電圧が付与されるサステイン電極600、700と、サステイン放電電圧とスキャンパルスが付与されるスキャン電極600'、700'とから構成されている。また、サステイン電極600、700とスキャン電極600'、700'は、透明電極からなる放電電極600、600'と金属電極からなるバス電極700、700'からなっており、抵抗の低いバス電極を介して外部の駆動回路(図示せず)から駆動電圧が印加される。このとき、バス電極を介して印加された駆動電圧により、互いに隣接したサステイン電極対の放電電極間に電圧差が生じる。そして、この電圧差が放電セル内にプラズマ放電を起こす。

【0028】次いで、共通電極1100、1100'は一対のサステイン電極間を挟むように形成されている。即ち、それぞれの共通電極1100、1100'はサステイン電極を一対ずつ分けるように形成されている。それぞれの共通電極1100、1100'は上部基板100上にクロム(Cr)、銅(Cu)、クロム(Cr)が順に積層された3層の金属膜から構成することができる。また、単に単層の銀(Ag)でも良い。そして、アドレス電極300が前記サステイン電極及び共通電極と直交するように形成される。このとき、共通電極1100、1100'は、図6bのように、上部基板100の外郭領域から共通接点を介して共通に接続されており、外部の駆動回路を介して同一の共通パルスが付与されるよう構成されている。

【0029】このような共通パルスによって微弱な放電が発生し得るが、その微弱な放電がプラズマディスプレイパネルの画質に影響を与えることを防止するために共通電極1100、1100'と基板100との間にブラックマトリックス1000、1000'が形成されることがある。このようなブラックマトリックス1000、1000'は電極が形成された上部基板100の背面に形成してもよい。

【0030】以下、本発明のプラズマディスプレイパネ

ルの動作を説明する。図7は本発明のプラズマディスプレイパネルの共通電極1100、1100' とサステイン電極に印加される電圧パルスの波形を示すものである。まず、共通電極1100、1100' に周期的に繰り返される共通パルスを印加する。このような共通パルスのハイレベル電位はプラズマディスプレイパネルの放電開始電圧より低く、略270V以下であることが好ましい。また、共通パルスのパルス幅すなわちハイレベル期間は1μs以下に設定することが適当である。

【0031】共通パルスのハイレベル期間が終わると、若干の遅延時間の後、一対のサステイン電極のうちのスキャン電極にスキャンパルスが印加される。また、これと同時に、アドレス電極にもアドレスパルスの印加が開始する。なお、このときのスキャンパルスとアドレスパルス間の最大の電位差はプラズマディスプレイパネルの放電開始電圧より高く、略280V以上に設定することが好ましい。

【0032】また、前記遅延時間は500ns以下であることが好ましい。即ち、共通パルスのハイレベルがオフされた時点とスキャンパルスのオン時点との間の時間差、または共通パルスのハイレベルがオフされた時点とアドレスパルスのオン時点との間の時間差を500ns以下に設定することが望ましい。この際、スキャンパルスのオン状態はハイレベルであることもでき、ローレベルであってもよい。即ち、スキャンパルスやアドレスパルスは共にレベル状態とは関係なく、オン期間の間に互いに最大電位差を有するように設定されることが好ましい。

【0033】上述したように動作する本発明のプラズマディスプレイパネルの放電原理は次の通りである。

【0034】共通電極1100、1100' に共通パルスが印加されると、放電セル内には放電しないが、共通パルスの電圧による強い電界が形成される。このような

電界は放電セル内にプライミングパーティクルを形成して放電セル内の放電条件を向上させる。それから、所定の遅延時間の後アドレスパルスとスキャンパルスとが印加され、放電セル内にアドレス放電が行われる。このとき、前記遅延時間は共通パルスにより発生したプライミングパーティクルが消去されない程度に設定されることが好ましく、略500nsとすることが適切である。

#### 【0035】

【発明の効果】本発明のプラズマディスプレイパネルは共通パルスによって放電セル内の放電条件が向上するので、従来のプラズマディスプレイパネルに比べ放電ラグ（放電遅れ）が減少する。従って、サステイン放電のためのサステインパルスの幅を従来より更に低減し、より解像度の高いプラズマディスプレイパネルを製造且つ駆動できる。また、本発明は駆動中において、発光を維持させるサステイン期間を増やすことができ、従来より輝度を増加できる効果を有する。

#### 【図面の簡単な説明】

【図1】一般的なプラズマディスプレイパネルの構造を示す断面図と平面図。

【図2】プラズマディスプレイパネルのスキャン電極とサステイン電極の構造を示す平面図。

【図3】プラズマディスプレイパネルのスキャン電極とサステイン電極の配線を示す平面図。

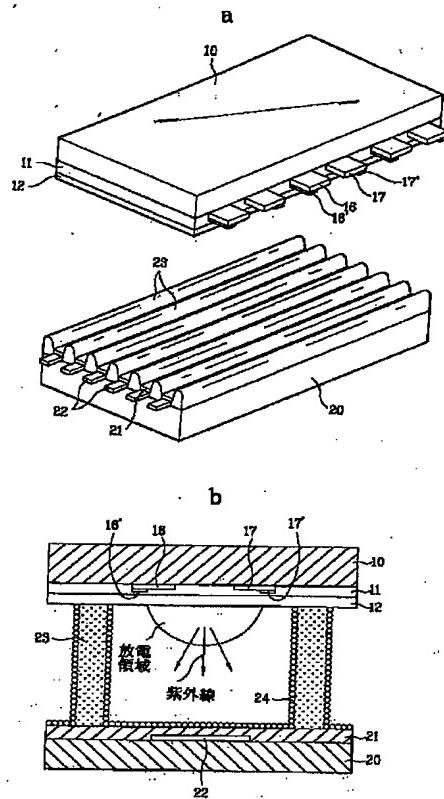
【図4】プラズマディスプレイパネルの放電原理を示す断面図。

【図5】本発明のプラズマディスプレイパネルを概略的に示す断面図。

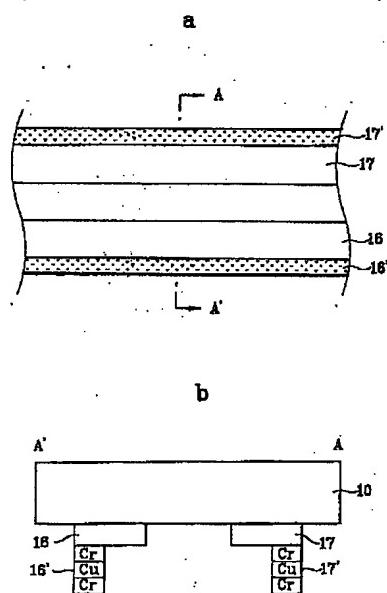
【図6】本発明のプラズマディスプレイパネルの電極構造及び連結状態を示す平面図。

【図7】本発明のプラズマディスプレイパネルに印加される電圧パルスを示す波形図。

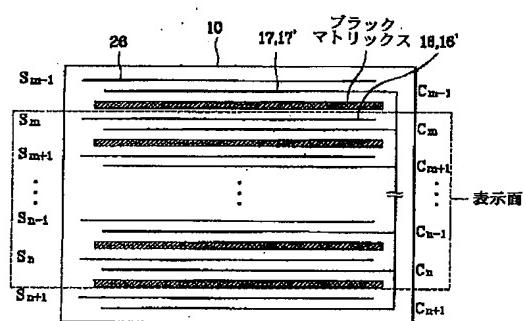
【図1】



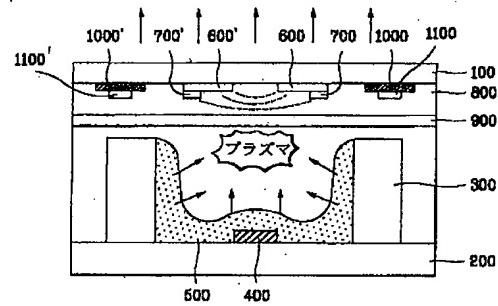
【図2】



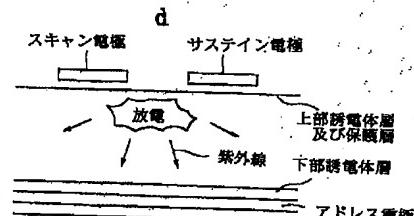
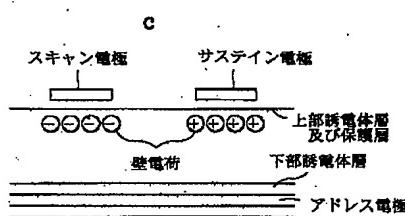
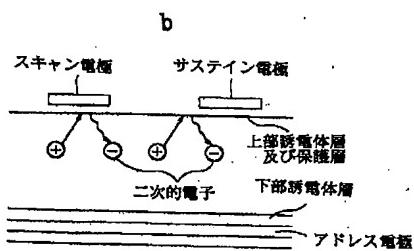
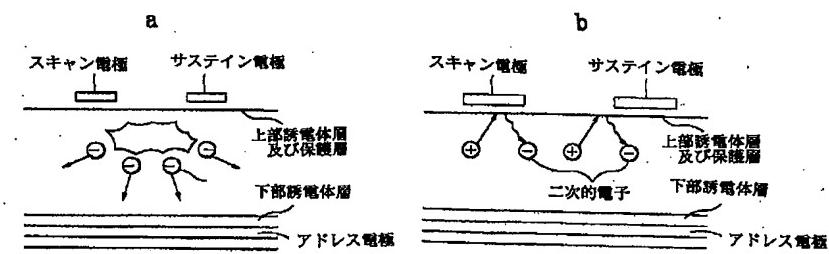
【図3】



【図5】

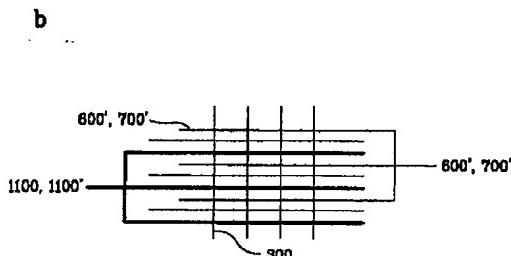
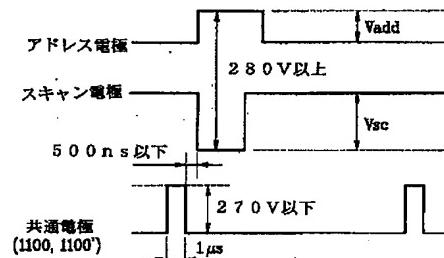
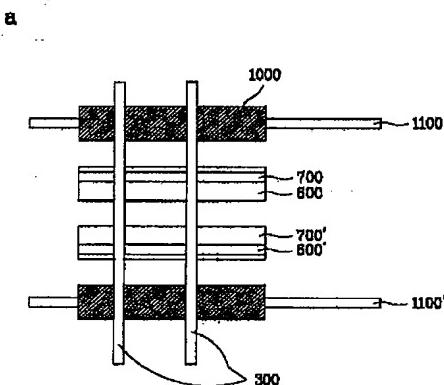


【図4】



【図6】

【図7】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H 0 1 J 11/02

識別記号

F I

G 0 9 G 3/28

「マークコード」(参考)

H

E